

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-88172

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>  
H03M 1/14

識別記号

F I  
H03M 1/14

B

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平9-239810

(22) 出願日 平成9年(1997) 9月4日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 和田 淳

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 谷 邦之

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

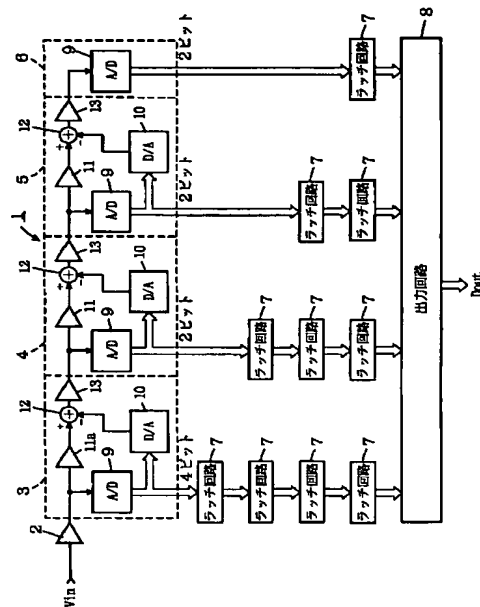
(74) 代理人 弁理士 福島 祥人

(54) 【発明の名称】 アナログ-デジタル変換回路

(57) 【要約】

【課題】 高い変換精度を保ちつつ変換速度が高速化されたアナログ-デジタル変換回路を提供することである。

【解決手段】 多段パイプライン構成を有するアナログ-デジタル変換回路1において、各段の回路3～5に複数段の演算増幅器11a, 13または11, 13が設けられる。各段の回路3～5において、前段の回路から出力されるアナログ入力信号は、前段側の演算増幅器11a, 11に与えられるとともに、サブA/Dコンバータ9に与えられる。サブA/Dコンバータ9のA/D変換結果は、D/Aコンバータ10に与えられる。減算回路12は、前段側の演算増幅器11a, 11の出力とD/Aコンバータ10のD/A変換結果とを減算する。後段側の演算増幅器13は、減算回路12の出力を増幅し、次段の回路に与える。



## 【特許請求の範囲】

【請求項1】 複数段の回路からなる構成を有し、各段の回路はアナログーデジタル変換器、デジタルーアナログ変換器、減算回路および複数段に設けられた演算増幅器を含むことを特徴とするアナログーデジタル変換回路。

【請求項2】 複数段の回路からなる多段パイプライン構成を有し、各段の回路はアナログーデジタル変換器、デジタルーアナログ変換器、減算回路および複数段に設けられた演算増幅器を含むことを特徴とするアナログーデジタル変換回路。

【請求項3】 少なくとも2段目以降の回路内の前記複数段に設けられた演算増幅器の各段の利得がそれぞれ1を越えるように設定されたことを特徴とする請求項1または2記載のアナログーデジタル変換回路。

【請求項4】 各段の回路内の複数段の演算増幅器のうち前段側の演算増幅器の出力が同じ段の回路内の減算回路に与えられ、後段側の演算増幅器の出力が次段の回路内のアナログーデジタル変換器および演算増幅器に与えられることを特徴とする請求項1、2または3記載のアナログーデジタル変換器。

【請求項5】 複数段の回路からなる多段パイプライン構成を有し、最終段の回路を除く各段の回路は、前段の回路から与えられるアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、前段の回路から与えられる前記アナログ信号を増幅する少なくとも1段の第1の演算増幅器と、前記アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、前記第1の演算増幅器から出力されるアナログ信号と前記デジタルーアナログ変換器から出力されるアナログ信号との減算を行う減算回路と、前記減算回路から出力されるアナログ信号を増幅する少なくとも1段の第2の演算増幅器とを含むことを特徴とするアナログーデジタル変換回路。

【請求項6】 初段の回路内の前記第1の演算増幅器の利得は1以上であることを特徴とする請求項5記載のアナログーデジタル変換回路。

【請求項7】 前記最終段の回路は、前段の回路から与えられるアナログ信号をデジタル信号に変換するアナログーデジタル変換器を含むことを特徴とする請求項5または6記載のアナログーデジタル変換回路。

【請求項8】 初段の回路におけるビット構成が2段以降の回路におけるビット構成よりも2ビット以上大きく設定され、2段の回路から最終段の回路までのビット構成が均等分割されたことを特徴とする請求項3、4または5記載のアナログーデジタル変換回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多段パイプライン（ステップフラッシュ）構成を有するアナログーデジタル変換回路に関する。

【0002】

【従来の技術】近年、ビデオ信号のデジタル処理技術の進歩に伴い、ビデオ信号処理用のアナログーデジタル変換回路（A/Dコンバータ）の需要が大きくなっている。ビデオ信号処理用のアナログーデジタル変換回路には高速変換動作が要求されるため、従来、2ステップフラッシュ（2ステップパラレル）方式が広く用いられていた。

【0003】しかし、変換ビット数の増大に伴い、2ステップフラッシュ方式では十分な変換精度が得られなくなってきたため、多段パイプライン（ステップフラッシュ）構成を有するアナログーデジタル変換回路が開発された。

【0004】図7は従来の多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。図7のアナログーデジタル変換回路は、10ビット4段パイプライン構成を有する。

【0005】図7において、アナログーデジタル変換回路101は、サンプルホールド回路102、1段目の回路103、2段目の回路104、3段目の回路105、4段目の回路106、複数のラッチ回路107および出力回路108から構成されている。

【0006】1段目（初段）～3段目の回路103～105は、サブA/Dコンバータ109、D/Aコンバータ110、および差分増幅器111を備える。4段目（最終段）の回路106はサブA/Dコンバータ109のみを備える。

【0007】1段目の回路103は4ビット構成、2～4段目の回路104～106はそれぞれ2ビット構成である。1～3段目の回路103～105において、サブA/Dコンバータ109およびD/Aコンバータ110のビット数（ビット構成）は同じに設定されている。

【0008】次に、アナログーデジタル変換回路101の動作を説明する。サンプルホールド回路102は、アナログ入力信号 $V_{in}$ をサンプリングして一定時間保持する。サンプルホールド回路102から出力されたアナログ入力信号 $V_{in}$ は、1段目の回路103へ転送される。

【0009】1段目の回路3において、サブA/Dコンバータ109はアナログ入力信号 $V_{in}$ に対してA/D変換を行う。サブA/Dコンバータ109のA/D変換結果である上位4ビットのデジタル出力（ $2^3$ 、 $2^2$ 、 $2^1$ 、 $2^0$ ）は、D/Aコンバータ110へ転送されるとともに、4つのラッチ回路107を介して出力回路108へ転送される。差分増幅器111は、D/Aコンバータ110のD/A変換結果とアナログ入力信号 $V_{in}$ との差分を増幅する。その差分増幅器111の出力は2段目

の回路104へ転送される。

【0010】2段目の回路104においては、1段目の回路103の差分増幅器111の出力に対して、1段目の回路103と同様の動作が行われる。また、3段目の回路105においては、2段目の回路104の差分増幅器111の出力に対して、1段目の回路103と同様の動作が行われる。そして、2段目の回路104から中上位2ビットのデジタル出力(2<sup>1</sup>, 2<sup>0</sup>)が得られ、3段目の回路105から中下位2ビットのデジタル出力(2<sup>3</sup>, 2<sup>2</sup>)が得られる。

【0011】4段目の回路106においては、3段目の回路105の差分増幅器111の出力に対して、サブA/Dコンバータ109がA/D変換を行い、下位2ビットのデジタル出力(2<sup>1</sup>, 2<sup>0</sup>)が得られる。

【0012】1~4段目の回路103~106のデジタル出力は各ラッチ回路107を経て同時に出力回路108に到達する。すなわち、各ラッチ回路107は各回路103~106のデジタル出力の同期をとるために設けられている。

【0013】出力回路108はアナログ入力信号V<sub>in</sub>の10ビットのデジタル出力D<sub>out</sub>を必要場合はデジタル補正処理後パラレル出力する。

【0014】このように、アナログーデジタル変換回路101においては、各段の回路103~105において、アナログ入力信号V<sub>in</sub>または前段の回路103、104の差分増幅器111の出力と、その段の回路103~105のデジタル出力のD/A変換結果との差分が差分増幅器111によって増幅される。

【0015】そのため、変換ビット数が増大してLSBが小さくなっても、サブA/Dコンバータ109を構成する各コンパレータの分解能を実質的に向上させることが可能になり、十分な変換精度が得られる。

【0016】

【発明が解決しようとする課題】近年、電子機器の高速化に伴ってアナログーデジタル変換器にも変換速度のさらなる高速化が要求されている。上記の従来のアナログーデジタル変換回路において、変換速度をさらに高速化するためには、差分増幅器111を構成する演算増幅器のGB積(利得帯域幅積)を大きくする必要がある。しかしながら、演算増幅器のGB積の改良には限界がある。したがって、アナログーデジタル変換回路の変換速度をさらに高速化することは困難となる。

【0017】本発明の目的は、高い変換精度を保ちつつ変換速度が高速化されたアナログーデジタル変換回路を提供することである。

【0018】

【課題を解決するための手段および発明の効果】

(1) 第1の発明

第1の発明に係るアナログーデジタル変換回路は、複数段の回路からなる構成を有し、各段の回路がアナログー

デジタル変換器、デジタルーアナログ変換器、減算回路および複数段に設けられた演算増幅器を含むものである。

【0019】本発明に係るアナログーデジタル変換回路においては、各段の回路の演算増幅器が複数段に設けられているので、1段当たりの演算増幅器のループ定数を低減することができ、かつ1段当たりの演算増幅器の負荷容量が低減する。それにより、各演算増幅器の限界動作周波数が高くなる。その結果、各演算増幅器の性能を向上させることなく、高い変換精度を保ちつつ、変換速度を高速化することが可能となる。

【0020】(2) 第2の発明

第2の発明に係るアナログーデジタル変換回路は、複数段の回路からなる多段パイプライン構成を有し、各段の回路がアナログーデジタル変換器、デジタルーアナログ変換器、減算回路および複数段に設けられた演算増幅器を含むものである。

【0021】本発明に係るアナログーデジタル変換回路においては、各段の回路の演算増幅器が複数段に設けられているので、1段当たりの演算増幅器のループ定数を低減することができ、かつ1段当たりの演算増幅器の負荷容量が低減する。それにより、各演算増幅器の限界動作周波数が高くなる。その結果、各演算増幅器の性能を向上させることなく、高い変換精度を保ちつつ、変換速度を高速化することが可能となる。

【0022】(3) 第3の発明

第3の発明に係るアナログーデジタル変換回路は、第1または第2の発明に係るアナログーデジタル変換回路の構成において、少なくとも2段目以降の回路内の複数段に設けられた演算増幅器の各段の利得がそれぞれ1を越えるように設定されたものである。

【0023】これにより、2段目以降の各段の回路の利得を保ちつつ、1段当たりの演算増幅器の利得を小さくすることが可能となる。

【0024】(4) 第4の発明

第4の発明に係るアナログーデジタル変換回路は、第1、第2または第3の発明に係るアナログーデジタル変換回路の構成において、各段の回路内の複数段の演算増幅器のうち前段側の演算増幅器の出力が同じ段の回路内の減算回路に与えられ、後段側の演算増幅器の出力が次段の回路内のアナログーデジタル変換器および演算増幅器に与えられるものである。

【0025】この場合、各段の回路において前段側の演算増幅器による増幅動作およびアナログーデジタル変換器によるアナログーデジタル変換動作とを並行して行うことが可能となる。それにより、各段の回路におけるアナログーデジタル変換動作、デジタルーアナログ変換動作および増幅動作を1クロック内で実現することが可能となる。その結果、各段の回路内におけるアナログーデジタル変換器によるアナログーデジタル変換動作および

10

20

30

40

50

デジタル-アナログ変換器によるデジタル-アナログ変換動作のタイミングが緩和される。

【0026】(5) 第5の発明

第5の発明に係るアナログ-デジタル変換回路は、複数段の回路からなる多段パイプライン構成を有し、最終段を除く各段の回路が、前段の回路から与えられるアナログ信号をデジタル信号に変換するアナログ-デジタル変換器と、前段の回路から与えられるアナログ信号を増幅する少なくとも1つの第1の演算増幅器と、アナログ-デジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタル-アナログ変換器と、第1の演算増幅器から出力されるアナログ信号とデジタル-アナログ変換器から出力されるアナログ信号との減算を行う減算回路と、減算回路から出力されるアナログ信号を増幅する少なくとも1つの第2の演算増幅器とを含むものである。

【0027】本発明に係るアナログ-デジタル変換回路においては、各段の回路が少なくとも1つの第1の演算増幅器および少なくとも1つの第2の演算増幅器を含むので、1段当たりの演算増幅器のループ定数を低減することができ、かつ1段当たりの演算増幅器の負荷容量が低減する。それにより、各演算増幅器の限界動作周波数が高くなる。その結果、各演算増幅器そのものの性能を向上させることなく、高い変換精度を保ちつつ、変換動作を高速化することが可能となる。

【0028】また、各段の回路において、第1の演算増幅器による増幅動作とアナログ-デジタル変換器によるアナログ-デジタル変換動作とを並行して行うことが可能となる。それにより、各段の回路におけるアナログ-デジタル変換動作、デジタル-アナログ変換動作および増幅動作を1クロック内で実現することが可能となる。その結果、各段の回路内におけるアナログ-デジタル変換器によるアナログ-デジタル変換動作およびデジタル-アナログ変換器におけるデジタル-アナログ変換動作のタイミングが緩和される。

【0029】(6) 第6の発明

第6の発明に係るアナログ-デジタル変換器は、第5の発明に係るアナログ-デジタル変換器の構成において、初段の回路内の第1の演算増幅器の利得が1以上であることを特徴とする。

【0030】初段の回路における第1の演算増幅器の利得が1の場合には、第1の演算増幅器はサンプルホールド動作を行う。また、初段の回路における第1の演算増幅器の利得が1よりも大きい場合には、第1の演算増幅器は増幅動作を行う。

【0031】(7) 第7の発明

第7の発明に係るアナログ-デジタル変換回路は、第5または第6の発明に係るアナログ-デジタル変換回路の構成において、最終段の回路が、前段の回路から与えられるアナログ信号をデジタル信号に変換するアナログ-

デジタル変換器を含むものである。

【0032】この場合、最終段の回路のアナログ-デジタル変換器によりデジタル出力の下位ビットが得られる。

【0033】(8) 第8の発明

第8の発明に係るアナログ-デジタル変換回路は、第5、第6または第7の発明に係るアナログ-デジタル変換回路の構成において、初段の回路におけるビット構成が2段以降の回路におけるビット構成よりも2ビット以上大きく設定され、2段から最終段の回路におけるビット構成が均等分割されたものである。

【0034】これにより、より高い変換精度を保ちつつ、変換動作を高速化することが可能となる。

【0035】

【発明の実施の形態】図1は本発明の一実施例におけるアナログ-デジタル変換回路の構成を示すブロック図である。図1のアナログ-デジタル変換回路1は、10ビット4段パイプライン構成を有する。

【0036】図1において、アナログ-デジタル変換回路1は、サンプルホールド回路、1段目～4段目の回路3～6、複数のラッチ回路7および出力回路8から構成されている。

【0037】1段目(初段)の回路3は、サブA/Dコンバータ9、D/Aコンバータ10、演算増幅器11a、減算回路12および演算増幅器13を備える。2段目および3段目の回路4、5は、サブA/Dコンバータ9、D/Aコンバータ10、演算増幅器11、減算回路12および演算増幅器13を備える。

【0038】ただし、後述するように、1段目の回路3内の演算増幅器11aは、利得1を有し、サンプルホールド回路として働く。1段目の回路3内の演算増幅器13および2段目および3段目の回路4、5内の演算増幅器11、13の利得は2である。4段目(最終段)の回路6は、サブA/Dコンバータ9のみを備える。

【0039】1段目の回路3は4ビット構成、2～4段目の回路4～6はそれぞれ2ビット構成である。1～3段目の回路3～5において、サブA/Dコンバータ9およびD/Aコンバータ10のビット数(ビット構成)は同じに設定されている。

【0040】次に、図1のアナログ-デジタル変換回路1の動作を説明する。サンプルホールド回路2は、アナログ入力信号 $V_{in}$ をサンプリングして一定時間保持する。サンプルホールド回路2から出力されたアナログ入力信号 $V_{in}$ は、1段目の回路3へ転送される。

【0041】1段目の回路3において、サブA/Dコンバータ9は、アナログ入力信号 $V_{in}$ に対してA/D変換を行う。サブA/Dコンバータ9のA/D変換結果である上位4ビットのデジタル出力( $2^3$ ,  $2^2$ ,  $2^1$ ,  $2^0$ )は、D/Aコンバータ10へ転送されるとともに、4つのラッチ回路7を介して出力回路8へ転送される。

D/Aコンバータ10は、サブA/Dコンバータ9のA/D変換結果である上位4ビットのデジタル出力をアナログ信号に変換する。

【0042】一方、演算増幅器11aは、アナログ入力信号Vinをサンプリングして一定時間保持する。減算回路12は、演算増幅器11aから出力されたアナログ入力信号VinとD/Aコンバータ10のD/A変換結果とを減算する。演算増幅器13は、減算回路12の出力を増幅する。演算増幅器13の出力は、2段目の回路4へ転送される。

【0043】2段目の回路4においては、サブA/Dコンバータ9が、1段目の回路3の演算増幅器13の出力に対してA/D変換を行う。サブA/Dコンバータ9のA/D変換結果は、D/Aコンバータ10へ転送されるとともに、3つのラッチ回路7を介して出力回路8へ転送される。これにより、2段目の回路4から中上位2ビットのデジタル出力(2<sup>3</sup>, 2<sup>4</sup>)が得られる。

【0044】一方、演算増幅器11は、1段目の回路3の演算増幅器13の出力を増幅する。減算回路12は、演算増幅器11の出力とD/Aコンバータ10のD/A変換結果とを減算する。演算増幅器13は、減算回路12の出力を増幅する。演算増幅器13の出力は、3段目の回路5へ転送される。

【0045】3段目の回路5においては、2段目の回路3の演算増幅器13の出力に対して2段目の回路4と同様の動作が行われる。それにより、3段目の回路5から中下位2ビットのデジタル出力(2<sup>3</sup>, 2<sup>2</sup>)が得られる。

【0046】4段目の回路6においては、3段目の回路5の演算増幅器13の出力に対してサブA/Dコンバータ9がA/D変換を行い、下位2ビットのデジタル出力(2<sup>1</sup>, 2<sup>0</sup>)が得られる。

【0047】1段目～4段目の回路3～6のデジタル出力は、各ラッチ回路7を経て同時に出力回路8に到達する。すなわち、各ラッチ回路7は各回路3～6のデジタル出力の同期をとるために設けられている。

【0048】出力回路8は、アナログ入力信号Vinの10ビットのデジタル出力Doutを必要な場合はデジタル＊

$$f_{s,vs} \approx 1/2 \times f_{loop} = 1/2 \times 1/Ai \times f_{op} \dots (1)$$

ここで、f<sub>op</sub>は各演算増幅器のGB積(利得帯域幅積)周波数であり、Aiは各演算増幅器のループ定数であり、1/2は動作マージンである。

【0057】上式(1)から、アナログーデジタル変換回路の限界動作周波数f<sub>s,vs</sub>を高くするためには、ループ定数Aiを小さくする必要がある。

【0058】比較例のアナログーデジタル変換回路においては、ループ定数Ai=4としている。この場合、限界動作周波数f<sub>s,vs</sub>を20MHzにするためには、演算増幅器のGB積周波数f<sub>op</sub>が160MHz以上必要となる。

\*補正処理後パラレル出力する。

【0049】次に、実施例のアナログーデジタル変換回路における変換速度を比較例のアナログーデジタル変換回路の変換速度と比較して説明する。実施例のアナログーデジタル変換回路は図1の構成を有し、比較例のアナログーデジタル変換回路は図7の構成を有する。

【0050】図2は実施例のアナログーデジタル変換回路の主要部の構成を示すブロック図、図3は図2のアナログーデジタル変換回路における動作タイミングを示す波形図である。また、図4は比較例のアナログーデジタル変換回路の主要部の構成を示すブロック図、図5は図4のアナログーデジタル変換回路における動作タイミングを示す波形図である。

【0051】図2に示す実施例のアナログーデジタル変換回路において、1段目の回路3内の演算増幅器11aループ定数は1に設定され、演算増幅器13のループ定数は2に設定され、2段目および3段目の回路4、5内の演算増幅器11、13のループ定数は2に設定されている。

【0052】また、1段目の回路3内のサブA/Dコンバータ9のビット数(ビット構成)は4ビットであり、2段目～4段目の回路4～6内のサブA/Dコンバータ9のビット数(ビット構成)は2ビットである。

【0053】図4に示す比較例のアナログーデジタル変換回路において、1段目～3段目の回路103～105内の減算回路112および演算増幅器113が図7の差分増幅器111を構成する。1段目～3段目の回路103～105内の演算増幅器113のループ定数はそれぞれ4に設定されている。

【0054】また、1段目の回路103内のサブA/Dコンバータ109のビット数(ビット構成)は4ビットであり、2段目～4段目の回路104～106内のサブA/Dコンバータ109のビット数(ビット構成)は2ビットである。

【0055】多段バイブライン構成のアナログーデジタル変換回路の限界動作周波数f<sub>s,vs</sub>は各演算増幅器のループ周波数f<sub>loop</sub>を用いて次式のように決定される。

【0056】

$$f_{s,vs} \approx 1/2 \times f_{loop} = 1/2 \times 1/Ai \times f_{op} \dots (1)$$

【0059】実施例のアナログーデジタル変換回路では、各段の回路3～5に複数段の演算増幅器11a、13または11、13が設けられているので、回路1段当たりの利得を変えずに演算増幅器11a、11、13のループ定数Aiを下げることができる。

【0060】ここでは、上記のように、1段目の回路3内の演算増幅器11aのループ定数Aiを1とし、演算増幅器13のループ定数Aiを2とし、2段目および3段目の回路4、5内の演算増幅器11、13のループ定数Aiを2としている。

【0061】また、一般に、同じ直流利得を得るために

は、演算増幅器の限界速度（GB積）は、次式のようになる。

$$【0062】GB積 \equiv g_m / CL$$

ここで、CLは負荷容量であり、 $g_m$ は相互コンダクタンスである。上式から、相互コンダクタンス $g_m$ が一定であるとする、演算増幅器の限界速度（GB積）は負荷容量CLに依存する。

【0063】図6に実施例および比較例のアナログーデジタル変換回路に用いられる演算増幅器の主要部の構成を示す。図6に示すように、演算増幅器200の反転入力端子にコンデンサ201が接続され、かつ出力端子がコンデンサ202を介して反転入力端子に接続されている。

【0064】コンデンサ201の容量値をKCとし、コンデンサ202の容量値をCとする。コンデンサ201の入力端に入力電圧変化 $V_i$ が与えられた場合、出力電圧変化 $\Delta V_o$ は次式のようになる。

$$【0065】$$

$$\Delta V_o = (KC/C) \cdot \Delta V_i = K \cdot \Delta V_i \quad *$$

	負荷容量	f <sub>OPMAX</sub>	A <sub>i</sub>	f <sub>LOOP</sub>	f <sub>SYS</sub>
比較例	1	160MHz	4	40MHz	20MHz
実施例	0.5	320MHz	2	160MHz	80MHz

【0070】表1に示すように、実施例においては、限界動作周波数 $f_{sys}$ が80MHzとなり、比較例の20MHzの4倍となっている。したがって、実施例のアナログーデジタル変換回路では、比較例のアナログーデジタル変換回路の4倍の変換速度が得られる。

【0071】実施例のアナログーデジタル変換回路では、図3に示すように、80MHzのクロック信号CLKに同期して各動作が行われる。これに対して、比較例のアナログーデジタル変換回路では、図5に示すように、20MHzのクロック信号CLKに同期して各動作が行われる。

【0072】比較例のアナログーデジタル変換回路では、図5に破線で示すように、例えば2段目の回路104内において、サブA/Dコンバータ109によるA/D変換動作、D/Aコンバータ110によるD/A変換動作および演算増幅器113による増幅および保持動作が1/2クロック内で実行される。

【0073】一方、実施例のアナログーデジタル変換回路においては、図3に破線で示すように、例えば2段目の回路4内において、サブA/Dコンバータ9によるA/D変換動作および演算増幅器11による増幅および保持動作が同じタイミングで行われ、D/Aコンバータ10によるD/A変換動作および演算増幅器13による増幅および保持動作が同じタイミングで行われる。

【0074】この場合、A/Dコンバータ9によるA/D変換動作、D/Aコンバータ10によるD/A変換動作

\*このように、演算増幅器の利得Kを大きくすると、入力容量が大きくなる。すなわち、各段の演算増幅器の利得Kを小さくすると、次段の演算増幅器の入力容量が小さくなり、各段の演算増幅器の負荷容量が低減される。

【0066】実施例のアナログーデジタル変換回路においては、各演算増幅器11、13のループ定数 $A_i$ が比較例のアナログーデジタル変換回路における演算増幅器113の半分となっているので、各演算増幅器11a、11、13の負荷容量は2分の1となる。

【0067】これにより、同一の性能を有する演算増幅器を用いた場合、演算増幅器11a、11、13の限界GB積周波数 $f_{OPMAX}$ は320MHzとなる。したがって、ループ周波数 $f_{loop}$ は160MHzとなり、限界動作周波数 $f_{sys}$ は80MHzとなる。

【0068】表1に実施例および比較例のアナログーデジタル変換回路における速度性能を示す。

【0069】

【表1】

作および演算増幅器11、13による増幅および保持動作が1クロック内で実行される。したがって、サブA/Dコンバータ9およびD/Aコンバータ10のタイミングが緩和される。

【0075】このように、本実施例のアナログーデジタル変換回路においては、各段の回路3～5内に2段の演算増幅器11a、13または11、13が設けられているので、各演算増幅器11a、11、13のループ定数を低減することができ、かつ各演算増幅器11a、11、13の負荷容量が低減される。その結果、各演算増幅器11a、11、13の性能を向上させることなく、変換速度を高速化することが可能となる。

【0076】また、初段の回路3におけるビット構成が4ビットに構成され、2段から最終段の回路4～6のビット構成が2ビットずつに均等分割され、4-2-2-2構成が採用されているので、高い変換精度が得られる（例えば特開平9-69776号公報参照）。

【0077】なお、上記実施例では、初段の回路3の演算増幅器11aの利得が1となっているが、演算増幅器11aの利得を他の演算増幅器11と同様に2としてもよい。

【0078】また、上記実施例では、各段の回路3～5において、2段の演算増幅器11a、13または11、13が設けられているが、各段の回路に3段以上の演算増幅器を設けてもよい。

【図面の簡単な説明】

【図1】本発明の一実施例におけるアナログーデジタル変換回路の構成を示すブロック図である。

【図2】実施例のアナログーデジタル変換回路の主要部の構成を示すブロック図である。

【図3】図2のアナログーデジタル変換回路における動作タイミングを示す波形図である。

【図4】比較例のアナログーデジタル変換回路の主要部の構成を示すブロック図である。

【図5】図4のアナログーデジタル変換回路における動作タイミングを示す波形図である。

【図6】実施例および比較例のアナログーデジタル変換\*

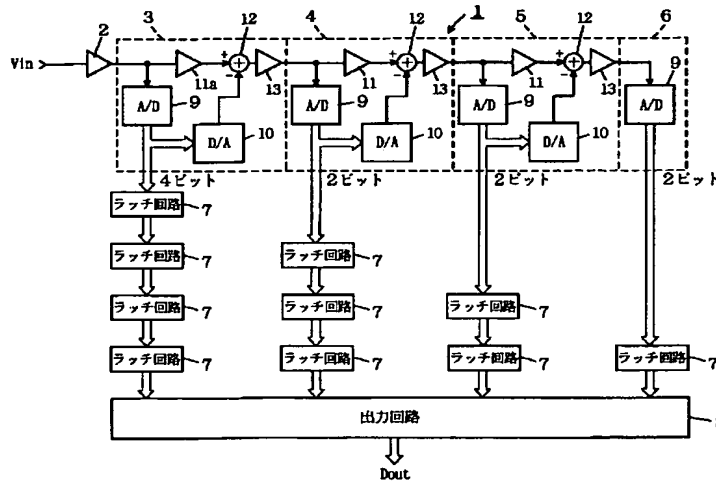
\* 回路における演算増幅器の主要部の構成を示す回路図である。

【図7】従来のアナログーデジタル変換回路の構成を示すブロック図である。

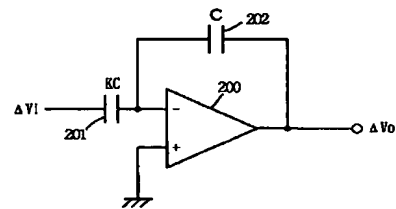
【符号の説明】

- 1 アナログーデジタル変換回路
- 3～6 1段目～4段目の回路
- 9 サブA/Dコンバータ
- 10 D/Aコンバータ
- 11, 11a, 13 演算増幅器
- 12 減算回路

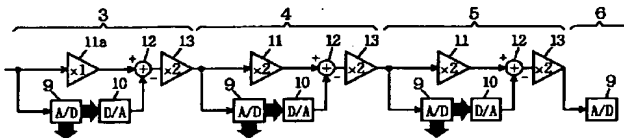
【図1】



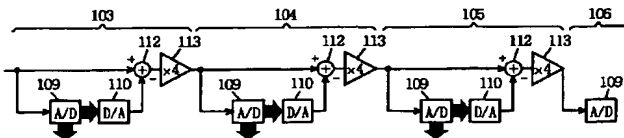
【図6】



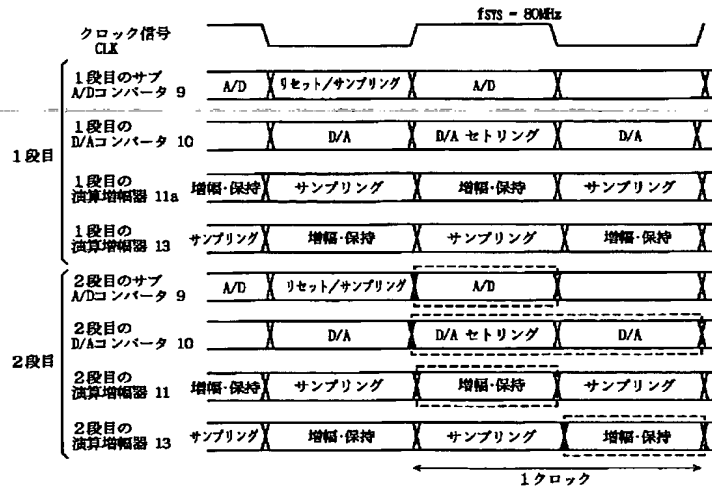
【図2】



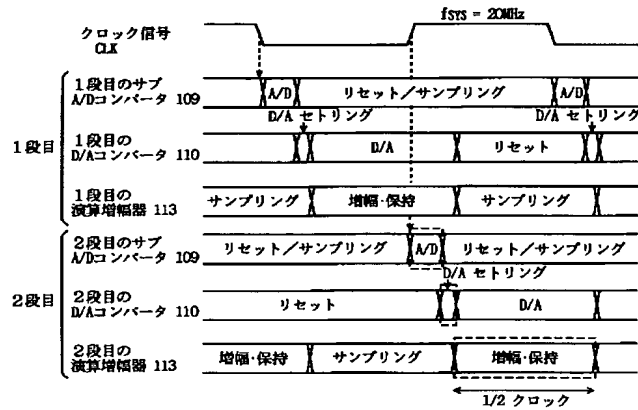
【図4】



【図3】



【図5】



【図7】

